

Generovanie úplných testov

Metóda kritickej cesty

- vytváranie citlivých ciest od výstupu k vstupu
- kombinácia fázy scitlivenia a konzistencie

Kritická cesta – zreťazenie tých vodičov a LČ, na ktorých zmena signálu spôsobí zmenu signálu na primárnom výstupe

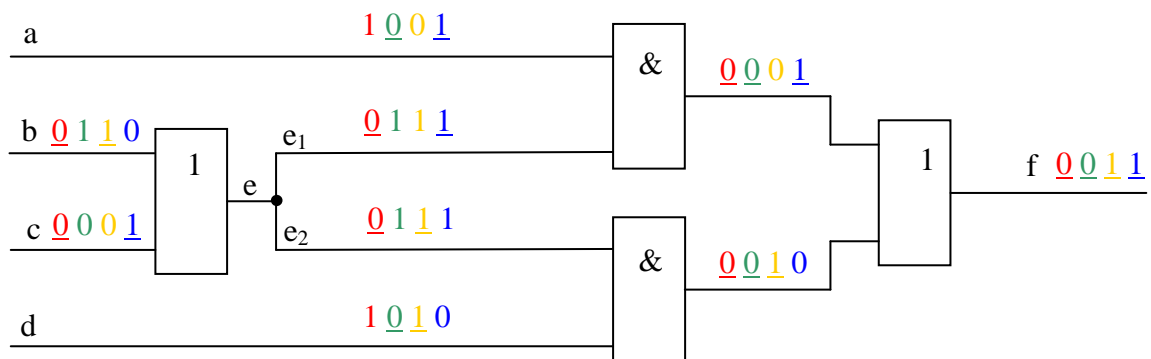
Postup:

1. Zvolíme hodnotu výstupu
2. Vyberieme kombináciu hodnôt vstupov, ktorá príslušnú výstupu zabezpečuje tak, aby sme dosiahli čo najväčší počet kritických hodnôt.

Krok 2 opakujeme, kým nezabezpečíme dosiahnutie všetkých požadovaných hodnôt.

Ak nie sú na každom vodiči všetky kritické hodnoty, pokračujeme v mieste alternatívnej voľby ďalšou alternatívou.

V prípade vetviacich sa vodičov preverujeme, či nedochádza k rozporu.



Úplný test obvodu:

Krok	Vstupy				Výstup	DP					
	a	b	c	d		a	b	c	d	e ₁	e ₂
1	1	0	0	1	0		t1	t1		t1	t1
2	0	1	0	0	0	t1			t1		
3	0	1	0	1	1		t0		t0		t0
4	1	0	1	0	1	t0		t0		t0	

Generovanie ÚT obvodu na základe ÚT jeho modulov.

Princíp: Intuitívne scitlivenie cesty prostredníctvom modulov

Postup:

- - rozčlenenie obvodu na moduly
- zostavenie ÚT modulov
- zreťazenie ÚT modulov (vytvorenie CC)

Požiadavky na rozčlenenie:

opakovanosť modulov – malé univerzálne moduly

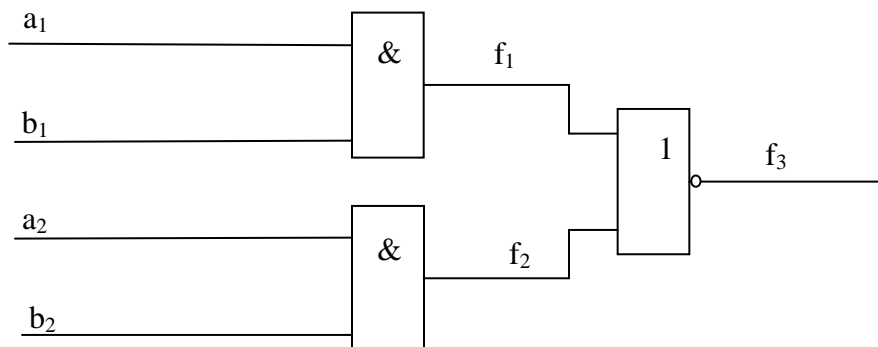
prehľadnosť štruktúry – veľké moduly

⇒ kompromis – hierarchický postup

TÚT základných Lč

k	AND						OR						NOR					
	Test			DP			Test			DP			Test			DP		
	a	b	f	a	b	f	a	b	f	a	b	f	a	b	f	a	b	f
1	0	1	0	t1		t1	0	1	1		t0	t0	0	1	0		t0	t1
2	1	0	0		t1	t1	1	0	1	t0		t0	1	0	0	t0		t1
3	1	1	1	t0	t0	t0	0	0	0	t1	t1	t1	0	0	1	t1	t1	t0

Logická schéma TO: AND - NOR



Zreťazenie TUT

	M1				M2				M3			TUT LO						
	k1	a1	b1	f1	k2	a2	b2	f2	k3	a3= f1	b3= f2	f3= f	k	a1	b1	a2	b2	f
1	1	0	1	0	1	0	1	0	3	0	0	1	1	0	1	0	1	1
2	2	1	0	0	2	1	0	0	3	0	0	1	2	1	0	1	0	1
3	3	1	1	1	2*	1	0	0	2	1	0	0	3	1	1	1	0	0
4	1*	0	1	0	3	1	1	1	1	0	1	0	4	0	1	1	1	0