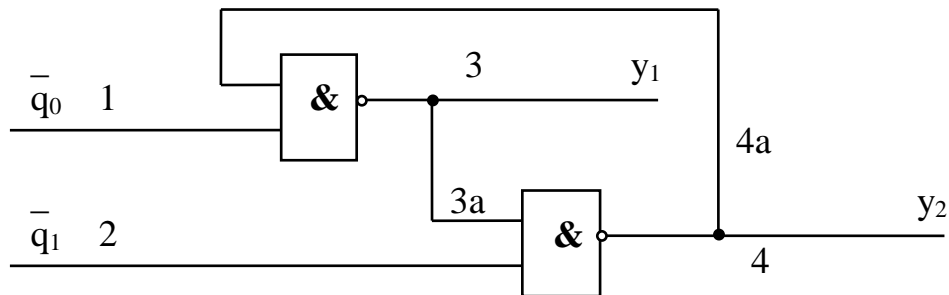


## Použitie tabuliek úplných testov pre SO

Rozdelenie na moduly:

- spätné väzby musia byť vo vnútri modulov
- TUT sekvenčného modulu tvorí testovacia postupnosť, v ktorej poradie krokov sa nesmie meniť



Obr. 3.11 Štruktúra obvodu RS a číslovanie jeho vodičov

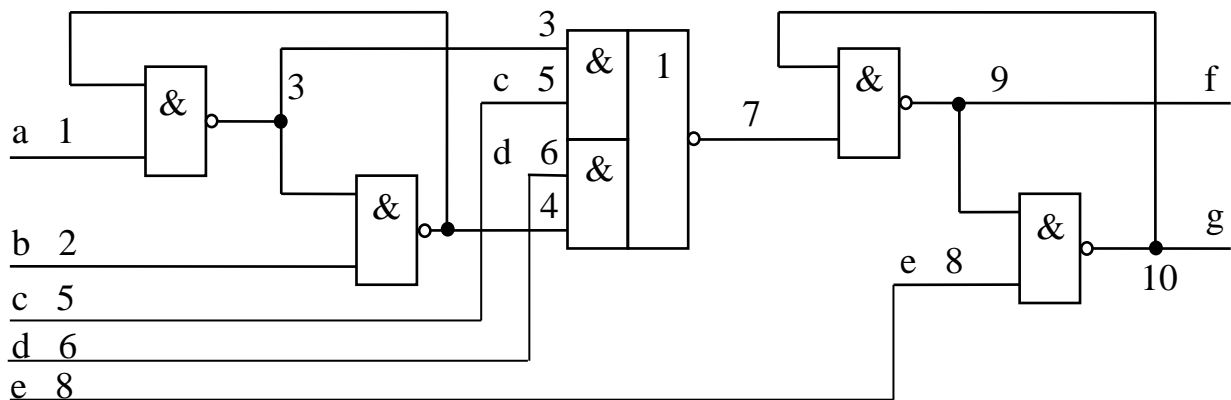
Pri vytváraní testu sekvenčného modulu vychádzame z predpokladu, že jeho stav nie je známy.

Niektoré vetvy nie sú citlivé v ustálených stavoch ale iba pri zmene stavu.

Tab. 3.14 Úplný test EA RS

Krok	Vstupy		Výstupy		Testované poruchy					
	1	2	3	4	1	2	3	3a	4	4a
0	x	x	x	x	-	-	-	-	-	-
1	0	<u>1</u>	<u>1</u>	<u>0</u>	⊕	t0	t0	t0	t1	-
2	1	<u>1</u>	<u>1</u>	<u>0</u>	-	t0	t0	t0	t1	t1
3	<u>1</u>	<u>0</u>	<u>0</u>	<u>1</u>	t0	t1	t1	-	t0	t0
4	<u>1</u>	1	<u>0</u>	<u>1</u>	t0	-	t1	t1	t0	t0
5	<u>0</u>	<u>1</u>	<u>1</u>	<u>0</u>	t1	t0	t0	t0	t1	-

Príklad: Prostredníctvom TUT modulov zostavte úplný test obvodu, ktorého štruktúra je uvedená na obr. 3.12.



Obr. 3.12 Štruktúra testovaného obvodu

### Úplný test pre AND-OR-INVERT

k	a <sub>1</sub>	b <sub>1</sub>	a <sub>2</sub>	b <sub>2</sub>	f
1	<u>0</u>	1	<u>0</u>	1	<u>1</u>
2	1	<u>0</u>	1	<u>0</u>	<u>1</u>
3	<u>1</u>	<u>1</u>	1	0	<u>0</u>
4	0	1	<u>1</u>	<u>1</u>	<u>0</u>

V prvých 5 krokoch je aplikovaný test 1. RS obvodu. Citlivé cesty cez člen AND-OR-INVERT sú vytvárané tak, aby boli detegované nielen všetky poruchy RS obvodu, ale aby boli aplikované aj kroky testu modulu AND-OR-INVERT.

Pre vytvorenie citlivej cesty na výstup f je zvolená hodnota  $g = 1$ . Pri testovaní 1. RS obvodu, budú aplikované všetky kroky modulu AND-OR-INVERT.

V ďalších krokoch sa aplikuje test 2. RS obvodu a voľby jeho vstupných hodnôt sa zabezpečia hodnotami signálov na vodičoch c a d.

Tab. 3.15 Vytváranie úplného testu SO

k	M1					M2						M3				
	k <sub>1</sub>	1	2	3	4	k <sub>2</sub>	3	5	6	4	7	k <sub>3</sub>	7	8	9	10
1	1	0	<u>1</u>	1	<u>0</u>	2	1	<u>0</u>	1	<u>0</u>	<u>1</u>	3*	<u>1</u>	0	<u>0</u>	<u>1</u>
2	2	1	<u>1</u>	<u>1</u>	0	3	<u>1</u>	<u>1</u>	1	0	<u>0</u>	*	<u>0</u>	0	<u>1</u>	<u>1</u>
3	3	<u>1</u>	<u>0</u>	<u>0</u>	1	1	<u>0</u>	1	<u>0</u>	1	<u>1</u>	3*	<u>1</u>	0	<u>0</u>	<u>1</u>
4	4	<u>1</u>	1	0	<u>1</u>	4	0	1	<u>1</u>	<u>1</u>	<u>0</u>	*	<u>0</u>	0	<u>1</u>	<u>1</u>
5	5	<u>0</u>	<u>1</u>	<u>1</u>	0	3	<u>1</u>	<u>1</u>	1	0	<u>0</u>	*	<u>0</u>	0	<u>1</u>	<u>1</u>
6	5*	0	1	1	0	3*	1	1	1	0	0	1	0	1	<u>1</u>	<u>0</u>
7	5*	0	1	1	0	2*	1	0	1	0	1	2	1	1	<u>1</u>	<u>0</u>
8	5*	0	1	1	0	2*	1	0	1	0	1	3	<u>1</u>	0	<u>0</u>	<u>1</u>
9	5*	0	1	1	0	2*	1	0	1	0	1	4	<u>1</u>	1	<u>0</u>	<u>1</u>
10	5*	0	1	1	0	3*	1	1	1	0	0	5	<u>0</u>	1	<u>1</u>	<u>0</u>

Testovacia postupnosť celého SO

k	a	b	c	d	e	f	g
1	0	<u>1</u>	<u>0</u>	1	0	<u>0</u>	<u>1</u>
2	1	<u>1</u>	<u>1</u>	1	0	<u>1</u>	<u>1</u>
3	<u>1</u>	<u>0</u>	1	<u>0</u>	0	<u>0</u>	<u>1</u>
4	<u>1</u>	1	1	<u>1</u>	0	<u>1</u>	<u>1</u>
5	<u>0</u>	<u>1</u>	<u>1</u>	1	0	<u>1</u>	<u>1</u>
6	0	1	1	0	1	<u>1</u>	<u>0</u>
7	0	1	0	1	1	<u>1</u>	<u>0</u>
8	0	1	0	1	0	<u>0</u>	<u>1</u>
9	0	1	0	1	1	<u>0</u>	<u>1</u>
10	0	1	1	1	1	<u>1</u>	<u>0</u>

Takto vytvorená testovacia postupnosť celého SO nebýva minimálna. Metóda je prehľadná a test sa vyznačuje zníženým počtom súčasne prebiehajúcich zmien vstupov a klesá pravdepodobnosť poruchových preskokov

V niektorých prípadoch musíme použiť aj iné kroky, ako sú uvedené v TUT. V takýchto prípadoch musíme vychádzať z vnútornej štruktúry obvodu.