

Návrh ľahko testovateľných obvodov

Hodnotenie testovateľnosti

Náklady na diagnostiku – rentabilita diagnostiky

$$Q = \frac{V}{N}$$

V – výkon systému

N – náklady

Q – kritérium kvality systému

V – za dlhšie obdobie znížený pri profylaktike, údržbe, oprave a pod.

N – náklady na vývoj, realizáciu, prevádzku včítane spotreby energie, platov zamestnancov a pod

- náklady na odstránenie strát v dôsledku prestojov systému pri poruchách a ich odstraňovaní

Optimalizácia a určenie Q_{\max} – zložitý problém

Hodnotenie – kvantitatívne – počet stupňov od vstupu resp. výstup k TB nastaviteľnosť a porovnateľnosť každého bodu schémy

Porovnávanie s "normálnym" systémom (bez rešpektovania požiadaviek diagnostiky).

Dôsledky diagnostiky:

- pozitívne: zvýšenie výkonu skrátenia prestojov pri poruche

- zníženie nákladov na detekciu a lokalizáciu

- zmenšenie strát v riadenom procese pri poruchách

- negatívne: zníženie výkonu zvýšenie počtu prestojov v dôsledku rastu intenzity porúch

- zníženie nominálneho výkonu (pomalšia odozva)

- zvýšenie nákladov na návrh, výrobu a prevádzku systému v bezporuchovom stave

Zníženie nákladov na testovanie

Zostavenie testov

Realizácia (aplikácia) testov

Vyhodnotenie testov

Zostavenie testov – algoritmické – zaručujú výsledok, ľahko programovateľné, veľký rast objemu a zložitosti obvodov

- heuristické – založené na skúsenostiach konštruktérov, obmedzená účinnosť, pomerne malý rast objemu obvodu, najviac používané

Aplikácia testov – prispôsobenie návrhu zvoleným zariadeniam na testovanie: vylúčením hybridných obvodov, obmedzenie zdrojov synchronizačného signálu, vhodné rozmiestnenie na doskách

Vyhodnotenie testov (lokalizácia) – podľa nákladov zrovnateľná so zostavením testu. Viacnásobné opakovanie zvyšuje dôležitosť vyhodnotenia, odstránenie sondy

- algoritmické – málo rozpracované
- heuristické – v praxi rozvíjané a používané, spočívajú najmä vo vkladaní testovacích bodov

Vzrast nákladov na systém

- väčší počet súčiastok
- väčšie náklady na návrh
- rast spotreby el. energie (napájanie chladenia)
- väčšia spotreba náhradných dielov

Rozdiel pri použití IO a návrhu štruktúry IO

Počet spojov medzi LČ a počet vývodov (z dosky resp. puzdra)

Metódy uľahčujúce generovanie testov

Použitie členov nonekvivalencie

Test pozostáva zo štyroch krokov – pre člen i celý obvod určujeme od konca rovnaké výstupy dosahujeme rôznymi kombináciami vstupov

Realizácia pomocou EX-OR možná pre lineárnu funkciu. Pre všeobecné funkcie rozkladáme na lineárnu podsieť a ostatné členy. Všeobecný algoritmus nie je známy.

Realizácia AND-XOR

Pre každú B-funkciu existuje rozklad v tvare

$$f = a_0 \oplus a_1 \dot{x}_1 \oplus a_2 \dot{x}_2 \oplus \dots \oplus a_n \dot{x}_n + a_{n+1} \dot{x}_1 \dot{x}_2 \oplus a_{n+2} \dot{x}_1 \dot{x}_2 \oplus \dots \oplus a_{n-1} \dot{x}_1 \dot{x}_2 - \dot{x}_n$$

$$a_i = \begin{cases} 0 \\ 1 \end{cases} \quad \dot{x}_i = \begin{cases} \dot{x}_i \\ \bar{x}_i \end{cases} \quad \text{pre určrčen } i \text{ jednotne}$$

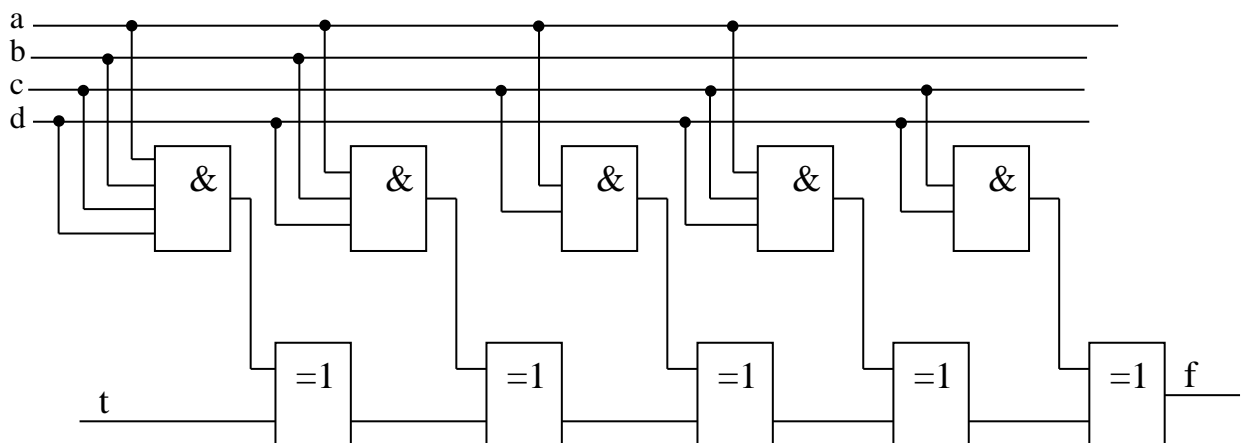
Reed-Mullerov resp. Žegalkinov rozvoj

Vychádza sa z dizjunktného tvaru: ÚNDF – nevhodná, zložité riešenie, neprekrývajúce sa implikanty

$$a \cup bc = a \cup (a \cup \bar{a}) bc = a \cup abc \cup \bar{a}bc = a \cup \bar{a}bc = a \oplus \bar{a}bc$$

Odstránenie inverzií: $\bar{x} = 1 \oplus x$

$$\begin{aligned} F = ABD \cup AC \cup CD &= ABD (C \cup \bar{C}) \cup AC \cup (A \cup \bar{A}) CD = \\ &= ABCD \cup A B \bar{C} D \cup AC \cup ACD \cup \bar{A} CD = \\ &= AB \bar{C} D \oplus AC \oplus \bar{A} CD = \\ &= ABD (C \oplus 1) \oplus AC \oplus (A \oplus 1) CD = \\ &= ABCD \oplus ABD \oplus AC \oplus ACD \oplus CD \end{aligned}$$



T_1	T	A	B	C	D	F
	0	0	0	0	0	0
	0	1	1	1	1	1
	1	0	0	0	0	1
	1	1	1	1	1	0

	T	A	B	C	D	F
	0	0	1	1	1	1
	0	1	0	1	1	1
	0	1	1	0	1	1
	0	1	1	1	0	1

XOR, t_0 na vstupoch AND
 t_1 na výstupoch AND

t_1 na vstupoch AND

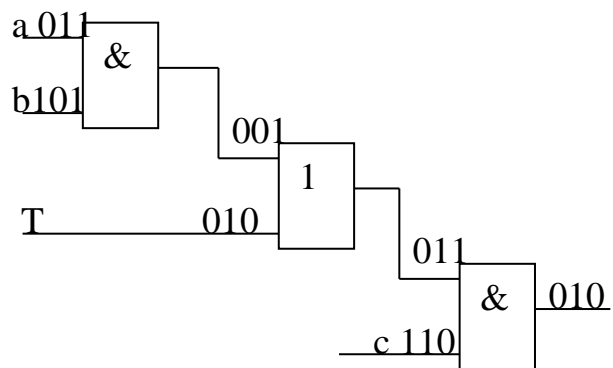
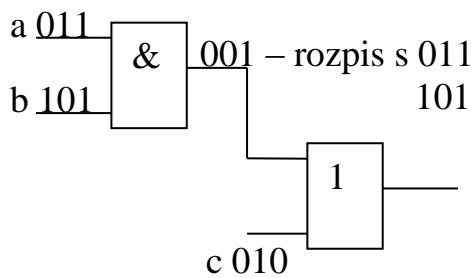
Rastie zložitosť 2,5 krát, stupeň 3 krát (Oneskorenie XOR je 1,5 väčšie, celkové 4,5 krát)

Obvody z minimálnym testom

Úplný test 2-vstupového člena AND: ľubovoľné dve rôzne postupnosti z

$$S_A = (011, 101, 110)$$

$$\text{OR: } S_0 = (001, 010, 100)$$



Metódy umožňujúce ľahkú lokalizáciu porúch

Podstatná nelokalizovateľnosť sa môže určiť len vyčerpaním všetkých možných neredundantných riešení.

Mnohé funkcie nie sú podstatne nelokalizovateľné.

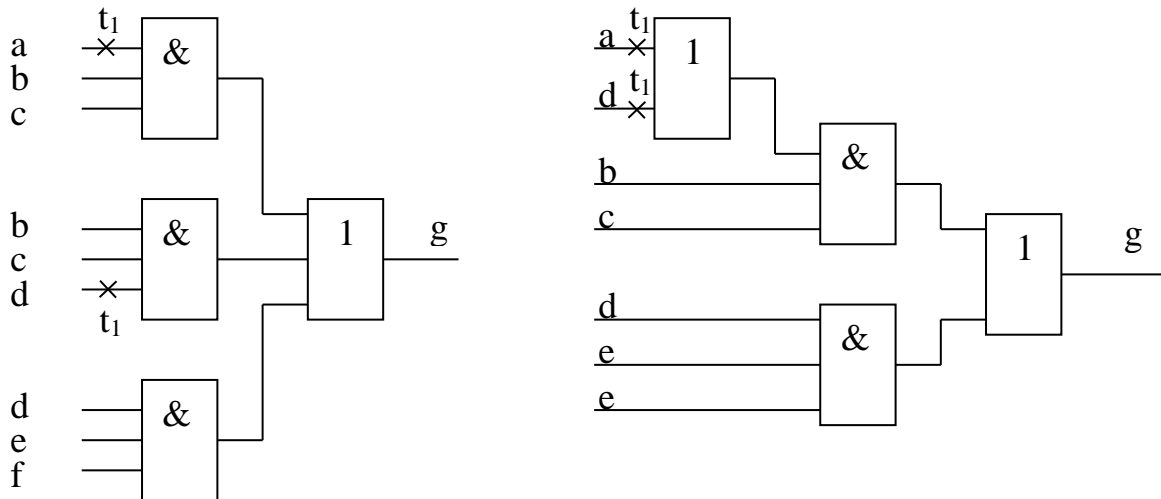
Prostý strom

- stromová logická sieť s jedným výstupom, v ktorej po roznásobení výrazu pre výstupnú funkciu do tvaru NDF vzniknú iba PI
- zistíme ho z NDF vyberaním pred zátvorky.

Dve rôzne nerozlišiteľné poruchy (v rôznych podstromoch), je potrebné spojiť vytknutím spoločných premenných.

$$g = abc \vee bcd \vee def = (a+d)bc + def$$

a b c d e f g
 0 1 1 0 X X 0



Používa sa aj pre všeobecné funkcie, nie vždy to vedie k úspechu.

Praktické zásady návrhu ľahko testovateľných obvodov

A. Logický návrh

- obmedziť sortiment používaných logických členov – obmedzí sa rozsah katalógu vopred pripravených úplných testov
- určitú logickú funkciu realizovať vždy rovnakým spôsobom, využije sa pripravený test viackrát (parita, sčítačka, dekóder a pod.)
- impulzy predpísanej dĺžky nerealizovať pomocou monostabilných KO (komplikované sa testuje ich nastavenie), ale pomocou viacfázových hodín (kombináciou vzájomne posunutých impulzov a ich inverzií môžeme vytvárať rôzne intervaly s pevne stanovenou dĺžkou v rámci jednej periódy. Pri dĺžkach väčších ako perióda použijeme počítadlo impulzov).

B. Technologický návrh

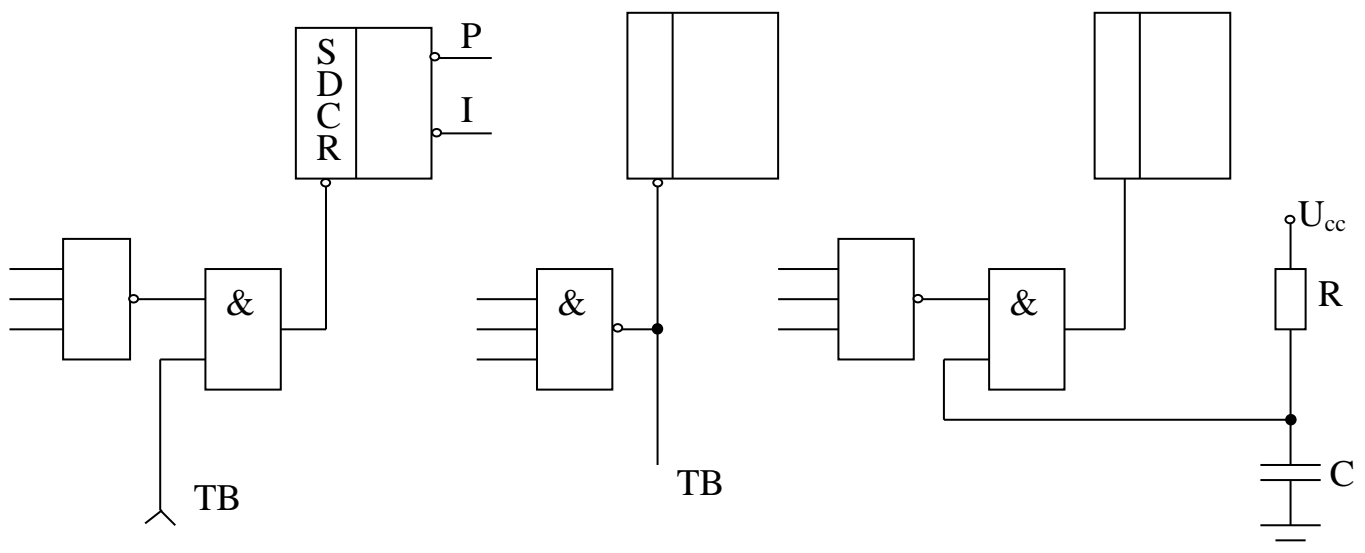
- Rozčlenenie obvodu na dosky, ktoré obsahujú samostatné celky (vždy je ľahšie odhaliť chybnú funkciu ako chybnú súčiastku).
- v rámci dosky vytvoriť určitý počet vzájomne nesúvisiacich oblastí, spojených nanajvýš cez konektor prípadne i zvlášť napájaných
- analógové a číslicové časti systému umiestňovať zvlášť na rozličných doskách
- rozčleniť LČ do puzdiel IO na základe minimalizácie počtu spojov medzi puzdrami, prípadne s minimalizáciou ich celkovej dĺžky
- do jedného puzdra združovať predovšetkým vzájomne prepojené LČ;
- invertor s nerozvetveným výstupom realizovať pomocou člena NAND v puzdre spolu s LČ, na ktorý má invertovaný výstup byť pripojený (v opačnom prípade nemôžeme lokalizovať poruchu invertovanej veličiny na jedno puzdro
- pri použití pamäti umiestňovať každý bit kódového slova do samostatného puzdra (kontrola je obvykle volená na výskyt jednej poruchy v slove).

C. Použitie pomocných vstupov a výstupov (testovacích obvodov)

- súčasť logického i technologického návrhu
- výhody: možnosť meniť resp. vsúvať počas testu hodnotu log. signálu v mieste, kde to log. funkcia neumožňuje
- nevýhody: použitie väčšieho počtu súčiastok
zväčšenie nárokov na vývody kontaktov
testovanie testovacích obvodov

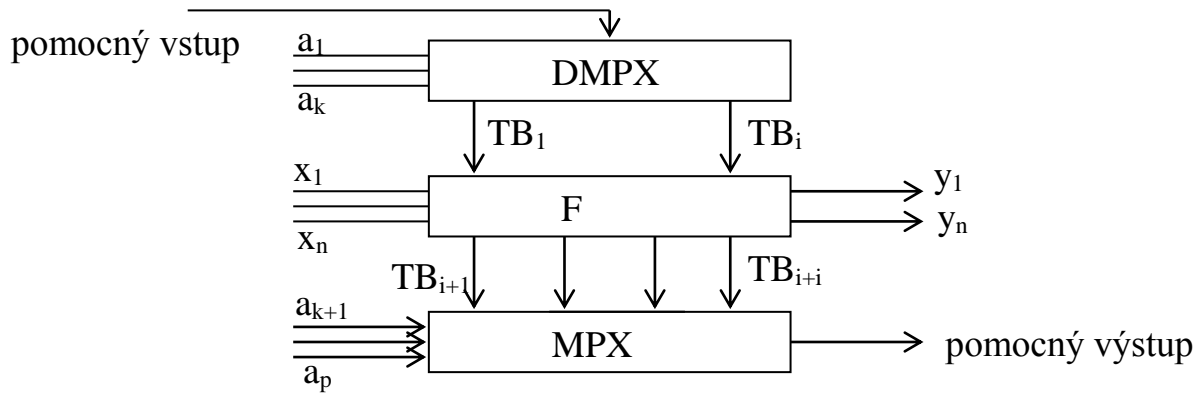
Testovacie body: majú zmenšiť rozsah potrebných ručných zásahov na doske vkladajú sa do miest, kde by technik overoval funkciu obvodu, sú to výstupy pyramíd, kde sa zbiehajú viaceré signály, vstupy pyramíd, kde sa rozvetvujú signály, v SO sa umiestňujú na výstupy preklápacích obvodov a na nastavovacie vstupy preklápacích obvodov

Nulovanie klopných obvodov typu D



Testovacie obvody: výstupy oscilátorov
 monostabilných obvodov (ak sa im nemôžeme vyhnúť)
 nastavovacie vstupy počítačiel prip. výstupy ich niektorých
 stupňov (každý štvrtý a pod.)

Obmedzený počet vývodov pre TB použitie MPX + DPMX

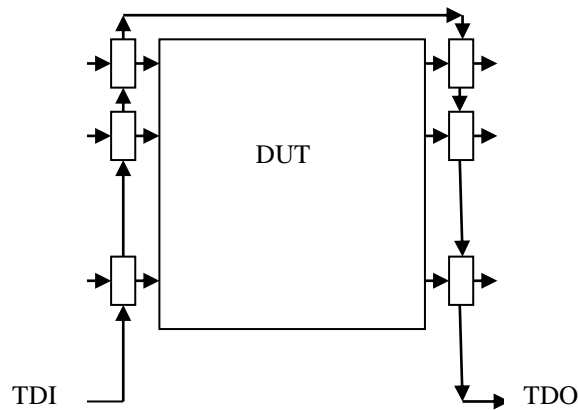


$$k = \lceil \log_2 i \rceil_c$$

$$P-k = \lceil \log_2 j \rceil_c$$

$$PV = P + 2$$

Návrh pre skenovanie rozhrania obvodov



Pokyny pre návrh ľahko testovateľných mikroprocesorových systémov MPS zhoršenie dostupnosti v dôsledku kompaktnosti LSI technológie

1. Nastavenie východiskového stavu pamäťových obvodov

- zabezpečiť možnosť priameho zápisu do registrov, počítadiel a preklápacích obvodov resp. ich nulovanie
- možnosť priameho zápisu údajov v pamäti RAM (najvhodnejšie vyvedením sieťovej zbernice) na konektor
- nulovanie počítadiel s veľkou kapacitou resp. ich rozdelenie do sekcií s max počtom bitov 4 s vyvedením sériového vstupu

2. Zaistenie dostupnosti zložitých súčiastok najmä mikroprocesory, zbernice, riadiace vstupy, stavové signály musia byť prístupné pre tester:

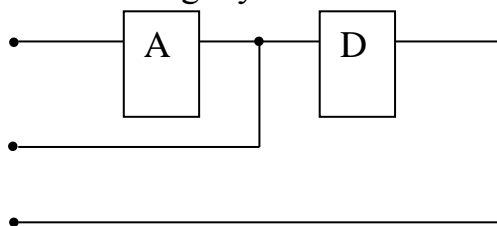
1. vyvedením na konektor
2. dostupné cez emulačnú zástrčku
3. možnosť pripojenia svorky log. sondy

3. montáž obvodov LSI do päťíc

- možnosť testovania samostatného IO do μ P, USART, UART, radiče...
- možnosť náhrady ROM zasunutím puzdra s diagnostickým testom
- jednoduchšie testovanie dosky bez IO s prípadným priamym prepojením niektorých zdierok puzdra

Nevýhody: drahé, znižuje spoľahlivosť, zhoršuje prístupy chladiaceho vzduchu, zväčšujú hrúbku dosky

4. Izolácia analógových súčiastok



AS – nie je možné ich testovať
číslicovým testérom
- sú prekážkou pre privedenie
číslicových vstupov

5. Oddelenie vstupných a výstupných prvkov od dosky

klávesnica, prepínač, zobrazovacie prvky sa pri testovaní nahrádzajú vývodmi z pamäte testu

6. Izolácia generátorov hodín a zdrojov napájania

- umožňuje riadenie zapínania zdroja a generátorov skúšačom resp. ich náhradu externými.

7. Rozpojovanie spätnoväzbových slučiek

- použitím AND
- mechanicky cez konektor

prepojkami na doske
mikrospínačmi na doske

- Dodatočný test fungovania SV je nutný

8. Rešpektovanie možnosti použitia log. sondy

- aby jej záťaž neznehodnotila výsledky testovania (musí byť rezerva v zaťažiteľnosti)

9. Mechanická konštrukcia rešpektujúca použitie sondy

- ak nepoužijeme ihlový adaptér, musíme nechať miesto pre hrotovú resp. svorkovú sondu

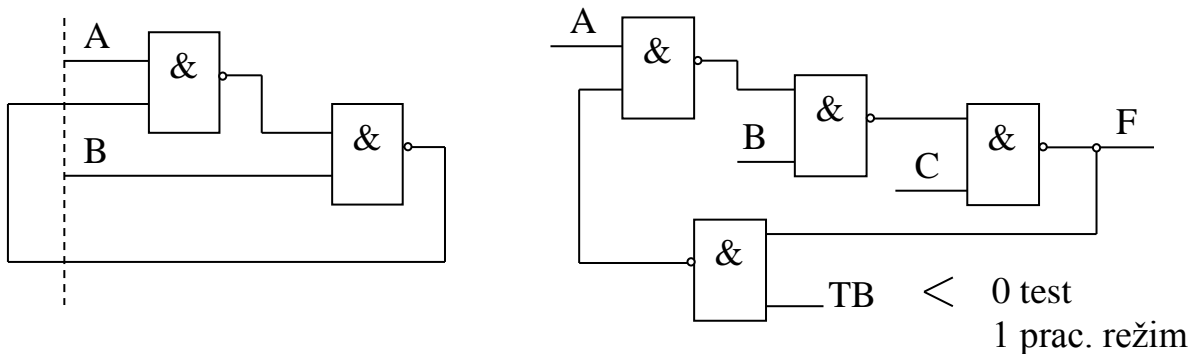
10. Zvýšenie šumovej imunity

- pripojenie skúšača zvyšuje úroveň vonkajšieho šumu

- potreba zaradiť oddeľovacie vstupy na vývodoch konektora najmä pre spínače riadené hranou
- pripojiť nepoužité vstupy na definovanú log. Úroveň
- vhodná konštrukcia napájania vodičov na doske

Rozpojovanie SV slučiek pri SO: cez konektor

- značné nároky na vývody konektorov
- predĺženie vodičov v SV
- nebezpečie zlého kontaktu
- komplikácia plošného spoja



Vzťah diagnostiky a redundancie

Test redundantného obvodu nemôže byť úplný.

Pre redundantný obvod môžeme zostaviť test, ktorý je úplný voči detekovateľným poruchám.

Existencia viacnásobnej poruchy:

- môže maskovať testovanie detekovateľných porúch
- môže skomplikovať lokalizáciu poruchy – musíme uvažovať slovník s viacnásobnými poruchami

Informačná redundancia – parita, kódovanie kontrolnými a samoopravnými kódmi

- generovanie neplatných kódových stavov
- zavedie sa diagnostický režim buď ručne alebo automaticky použitím kódu inštrukcie.

Návrh ľahko testovateľných obvodov

$$9.3.1 \quad f = a \bar{c} + a d + b \bar{c}$$

$$= a \bar{c} (d + \bar{d}) + a d + b \bar{c} (a + \bar{a}) = a \bar{c} d + a \bar{c} \bar{d} + a d + a b \bar{c} + \bar{a} b \bar{c}$$

$$f = a \bar{c} + a d (c + \bar{c}) + b \bar{c} = a \bar{c} + a c d + a \bar{c} d + b \bar{c} (a + \bar{a}) =$$

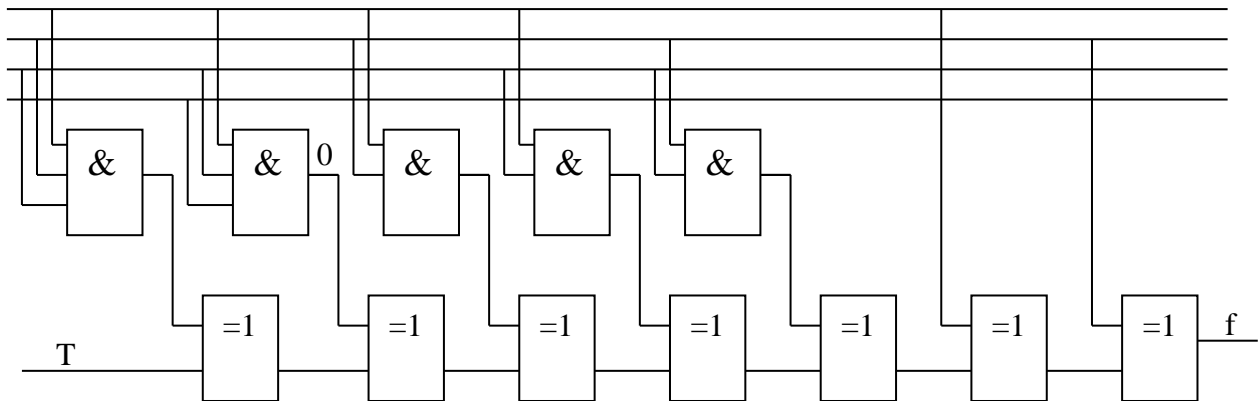
$$= a \bar{c} + a c d + a b \bar{c} + \bar{a} b \bar{c} = a \bar{c} + a c d + \bar{a} b \bar{c}$$

$$f = a (c \oplus 1) \oplus a c d \oplus (a \oplus 1) b (c \oplus 1) =$$

$$= a c \oplus a \oplus a c d \oplus a b c \oplus a b \oplus b c \oplus b$$

$$f = a d + \bar{a} b \bar{c} + a \bar{c} \bar{d} = a d \oplus a b c \oplus a b \oplus b c \oplus b \oplus a c d + a c + a d a$$

$$= a \oplus b \oplus a c \oplus b c \oplus a b \oplus a b c \oplus a c d$$



T₁:

T	a	b	c	d	f
0	0	0	0	0	0
0	1	1	1	1	1
1	0	0	0	0	1
1	1	1	1	0	0

T₂:

T	a	b	c	d	f
0	0	1	1	1	0
0	1	0	1	1	1
0	1	1	0	1	1
0	1	1	1	0	0